



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

22 Offenlegungsschrift
10 DE 195 02 111 A 1

51 Int. Cl. 6:
H 04 B 1/40
H 04 B 7/212
H 03 L 7/089
H 03 L 7/06

21 Aktenzeichen: 195 02 111.8
22 Anmeldetag: 24. 1. 95
43 Offenlegungstag: 3. 8. 95

DE 195 02 111 A 1

30 Unionspriorität: 32 33 31
25.01.94 JP 6-6482 25.01.94 JP 6-6483

71 Anmelder:
Alps Electric Co., Ltd., Tokio/Tokyo, JP

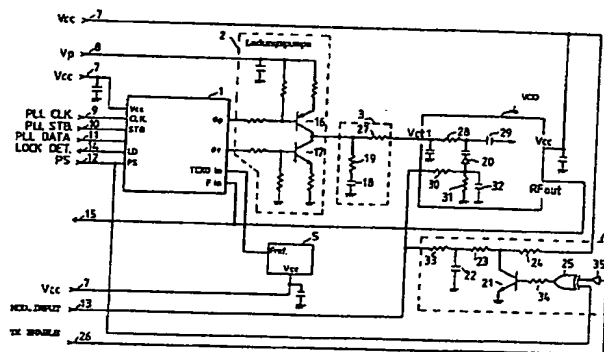
74 Vertreter:
Klunker und Kollegen, 80797 München

72 Erfinder:
Hirose, Yoshitaka, Soma, Fukushima, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Sendeempfänger für Zeitmultiplex-Mehrfachzugriff/Zeitmultiplex-Duplexbetrieb

57 Ein TDMA/TDD-Sendeempfänger ist zur weitestgehenden Verringerung der Stromaufnahme und zur Verbesserung von Streukennlinien zur Gewährleistung einer ausreichend hohen Frequenzgenauigkeit ausgebildet. Eine Phasenregelschleife ist derart aufgebaut, daß die Schleife während der Zeitspanne unmittelbar vor jedem Sende- und jedem Empfangszeitanschluß geschlossen ist und während der Zeitspannen der Sende- und Empfangszeitanschlüsse geöffnet ist. Bei geöffneter Schleife wird die Schwingungsfrequenz eines spannungsgesteuerten Oszillators (VCO4) entsprechend der Ladespannung eines Schleifenfilters (3) gesteuert. Eine veränderliche Kapazitätsdiode (20) ermöglicht es dem Oszillator, seine Ausgangsfrequenz abhängig von einer Frequenz-Steuerspannung zu ändern, die der Kathode der Kapazitätsdiode (20) zugeführt wird. Ein Phasenvergleicher vergleicht ein Referenz-Frequenzsignal mit einem Ausgangs-Frequenzsignal des Oszillators und generiert Fehlersignale. Eine Zustandsumschalteneinheit schaltet den Zustand des Phasenvergleichers um zwischen einem Betriebszustand und einem Bereitschaftszustand, abhängig von dem Anlegen eines Stromsparsignals (PS). Eine Schaltung (6) liefert eine veränderliche Vorspannung an die Anode der Kapazitätsdiode (20) derart, daß sich die Vorspannung in etwa der gleichen Weise ändert wie die an die Kapazitätsdiode (20) gelegte Frequenzsteuerspannung, wenn sich der Phasenvergleicher im Bereitschaftszustand befindet.



veränderliche Kapazitätsdiode 20. In dieser Figur bezeichnen gleiche Bezugszeichen entsprechende Teile wie in Fig. 3.

Wie außerdem in Fig. 3 gezeigt ist, enthält das PLL-IC 1 den Vorteiler 35 und die PLL-Steuerschaltung 36. Diese PLL-Steuerschaltung 36 enthält einen (nicht gezeigten) Phasenvergleicher, welcher die Phase eines von dem Kristallschwinger 5 gelieferten Referenz-Frequenzsignals mit derjenigen eines von dem VCO 4 über den Vorteiler 35 gelieferten Schwingungssignal vergleicht und Fehlersignale Φ_p und Φ_r erzeugt, und außerdem einen (nicht gezeigten) veränderlichen Frequenzteiler enthält, welcher ein Frequenzteilungsverhältnis entsprechend den PLL-Daten (vergleiche "PLL-Daten" in Fig. 4), die von der CPU 38 geliefert werden, ändert. Ein Schleifenschaltungsabschnitt, der aus dem PLL-IC 1, der Ladungsumschaltung 2, dem Schleifenfilter 3 und dem VCO 4 besteht, bildet eine PLL-Normalfrequenzgeneratorschaltung. Außerdem bildet ein Schaltungsteil, welcher den Sende/Empfangs-Schalter 39, den HF-Empfangsverstärker 40, das Empfangsfilter 41, den Frequenzumsetzer 42, das Zwischenfrequenzfilter 43, den Zwischenfrequenzverstärker 44, den Demodulator 45 und den Signalausgangsanschluß 52 beinhaltet, eine Empfangsschaltung. Ferner bildet ein weiterer Schaltungsabschnitt, bestehend aus dem Verstärker 51, dem Sendefilter 46 und dem Leistungsverstärker 47, eine Sendeschaltung. Darüber hinaus wird ein Empfangssignal von dem Demodulator 45 an den Signalausgangsanschluß 52 geliefert, und andererseits wird ein Sendesignal von dem Signaleingangsanschluß 43 an den Modulationsanschluß 13 (siehe Fig. 4) des VCO 4 geliefert. Die CPU 38 liefert an die PLL-Steuerschaltung 36 verschiedene Signale, darunter ein PS-Signal (Stromsparsignal).

Wie außerdem in Fig. 4 gezeigt ist, besitzt die Ladungspumpschaltung 2 einen PNP-Transistor 16 und einen NPN-Transistor 17. Die Fehlersignale Φ_p und Φ_r werden von der PLL-Steuerschaltung 36 an die Basen dieser Transistoren gelegt. Außerdem bildet der Verbindungspunkt zwischen den Transistoren 16 und 17 einen Ausgangsanschluß. Das Schleifenfilter 3 besitzt den Kondensator 18 und den Widerstand 19, die in Reihe geschaltet sind. Einer der Anschlüsse dieser Reihenschaltung ist an den Ausgangsanschluß der Ladungspumpschaltung 2 gelegt und steht außerdem mit dem Ausgangsanschluß des Schleifenfilters 3 über den Widerstand 27 in Verbindung. Andererseits ist der andere Anschluß der Reihenschaltung geerdet. Der VCO 4 besitzt eine veränderliche Kapazitätsdiode 20. Die Kathode der Diode 20 ist an die Oszillatorschaltung des VCO 4 über eine Serienkapazität 29 an die Oszillatorschaltung des VCO 4 und über den Reihenwiderstand 28 an den Ausgangsanschluß des Schleifenfilters 3 angeschlossen. Andererseits ist die Anode der Diode 20 über den Widerstand 30 an den Modulationssignalanschluß 13 angeschlossen und ist außerdem über eine durch einen Widerstand 31 und einen Kondensator 32 gebildete Parallelschaltung auf Masse gelegt. Das PLL-IC 1 ist an den PLL-Taktsignalanschluß 9, den PLL-Strobesignalanschluß 10, den PLL-Datensignalanschluß 11, den Stromsparsignalanschluß 12, den Einrastsignalanschluß 14 und den HF-Signalanschluß 15 angeschlossen. Ferner ist das PLL-IC 1 an den Ausgangsanschluß des VCO 4 und den Ausgangsanschluß des Kristallschwingers 5 angeschlossen. Im folgenden soll grob die Arbeitsweise des so aufgebauten Sendeempfängers beschrieben werden.

Zunächst arbeitet zur Zeit eines Sendevorgangs die PLL-Normalfrequenzgeneratorschaltung als Trägeroszillator. Wenn zu dieser Zeit an den Signaleingangsanschluß 53 ein Sendesignal gelegt wird, wird das Sendesignal über das Gauß'sche Filter 48 an den VCO 4 der PLL-Normalfrequenzgeneratorschaltung gelegt. Damit wird die Ausgangsträgerfrequenz der PLL-Normalfrequenzgeneratorschaltung entsprechend dem Sendesignal moduliert. Ein daraus erhaltenes moduliertes Trägerwellensignal wird über die Verstärker 49 und 51 sowie das Sendefilter 46, den Leistungsverstärker 47 und den Sende/Empfangs-Schalter 39, der von der CPU 38 in die Position "Senden" gebracht wird, von einer Antenne abgestrahlt.

Als nächstes wird zur Zeit des Empfangs die PLL-Normalfrequenzgeneratorschaltung als Empfangsozillator betrieben. Nun wird ein an der Antenne empfangenes HF-Empfangssignal über den Sende/Empfangs-Schalter 39, der nun von der CPU 38 auf Empfang gestellt ist, über den HF-Empfangsverstärker 40 und über das Empfangsfilter 41 an den Frequenzumsetzer 42 gegeben. Andererseits wird in ähnlicher Weise ein Empfangsozillatorsignal von der PLL-Normalfrequenzgeneratorschaltung über die Verstärker 49 und 50 an den Frequenzumsetzer 42 geliefert. Damit wird in dem Frequenzumsetzer 42 als Ergebnis einer Frequenzmischung des HF-Empfangssignals und des Empfangsozillatorsignals ein Zwischenfrequenzsignal erhalten. Dieses Zwischenfrequenzsignal wird über das Zwischenfrequenzfilter 43 und den Zwischenfrequenzverstärker 44 an den Demodulator 45 gegeben, von dem das Zwischenfrequenzsignal demoduliert wird. Das demodulierte Signal wird anschließend am Signalausgangsanschluß 52 abgegeben.

Der oben beschriebene PLL-Normalfrequenzgenerator arbeitet wie folgt:

Das PLL-IC 1 vergleicht die Phase des Referenz-Frequenzsignals, welches von dem Kristallschwinger 5 an die eingebaute PLL-Steuerschaltung 36 geliefert wird, mit der Phase eines im von dem VCO 4 über den Vorteiler 35 und einen (nicht gezeigten) veränderlichen Frequenzteiler zugeführten Schwingungsfrequenz-Signals. Anschließend generiert das PLL-IC 1 ein Fehlersignal Φ_p oder Φ_r , abhängig von Richtung und Betrag der Differenz zwischen den Phasen der beiden Signale. Wenn hier das Fehlersignal Φ_p erhalten wird, wird der Hochzieh-PNP-Transistor 16 der Ladungspumpschaltung 2 eingeschaltet. Außerdem erhöht eine von dem Ladungspump-Zuführanschluß 8 über den Transistor 16 an den Kondensator 18 gelieferte Schleifenfilter 3 gelieferte Spannung die Spannung, die zwischen den Belägen des Kondensators 18 entsteht. Dies führt zu einer Zunahme der Ausgangsanschlußspannung des Schleifenfilters 3. Die erhöhte Spannung gelangt an die Kathode der Kapazitätsdiode 20 des VCO 4. Folglich ändert sich die Frequenz der Schwingung des VCO 4 in einer gewissen Richtung. Wenn hingegen das Fehlersignal Φ_r erhalten wird, wird der Absenk-NPN-Transistor 17 der Ladungspumpschaltung 2 eingeschaltet. Damit wird der Kondensator 18 über den NPN-Transistor 17 mit Masse verbunden, so daß die an den Belägen des Kondensators 18 anliegende Spannung sich ausgehend von der Ladespannung des Kondensators verringert. Dies führt zu einer Abnahme der Ausgangsanschlußspannung des Schleifenfilters 3. Außerdem wird die verringerte Spannung an die Kathode der Kapazitätsdiode 20 gelegt. Demzufolge ändert sich die Frequenz der Schwingung des VCO 4 in die andere Richtung. Ferner wird das

versetzen.

Gemäß einem weiteren Aspekt der Erfindung nach einem der Ansprüche 3 bis 6 wird ein TDMA/TDD-Sendeempfänger geschaffen, der einen VCO (spannungsgesteuerten Oszillator) mit einem veränderlichen Spannungs-Reaktanzelement aufweist, der in der Lage ist, seine Ausgangsfrequenz nach Maßgabe einer Steuerspannung zu ändern, die einem der Beläge des veränderlichen Spannungs-Reaktanzelements zugeführt wird, wobei ein Phasenvergleich ein Referenz-Frequenzsignal mit einem Ausgangsfrequenzsignal des VCO (des spannungsgesteuerten Oszillators) vergleicht, um Fehlersignale zu erzeugen, eine Zustands-Umschalteneinrichtung dazu dient, einen Zustand des Phasenvergleichers umzuschalten zwischen einem Betriebszustand und einem Bereitschaftszustand, abhängig von der Zufuhr eines Umschaltensignals, und wobei eine Vorspannungs-Zuführeinrichtung dazu dient, dem anderen Belag des veränderlichen Spannungs-Reaktanzelements eine veränderliche Vorspannung zuzuleiten. Im Fall dieses Sendeempfängers besitzt die Vorspannungs-Zuführeinrichtung eine Oszillatorschaltung zum Generieren einer veränderlichen Vorspannung, welche sich annähernd in der gleichen Weise ändert wie die dem veränderlichen Spannungs-Reaktanzelement zugeführte Steuerspannung, wenn sich der Phasenvergleich im Bereitschaftszustand befindet.

Wenn also bei dem erfindungsgemäßen Sendeempfänger nach den Ansprüchen 3 bis 6 die PLL-Schaltung im Bereitschaftszustand ist, das heißt, wenn der Phasenvergleich sich im Bereitschaftszustand befindet, wird die veränderliche Vorspannung, die sich annähernd in der gleichen Weise ändert wie die Steuerspannung (das heißt die Ladespannung des Kondensators des Schleifenfilters), die einem Belag des veränderlichen Spannungs-Reaktanzelements des VCO zugeführt wird, der anderen Elektrode der veränderlichen Spannungs-Reaktanzelements zugeführt. Wenn demnach die dem einen Belag des Spannungs-Reaktanzelements zugeführte Steuerspannung sich wegen des Leckstroms im Verlauf der Zeit allmählich ändert, ändert sich auch die im anderen Belag des veränderlichen Spannungs-Reaktanzelements zugeführte Vorspannung mit der Zeit allmählich in der gleichen Richtung und im gleichen Bereich wie die sich ändernde Steuerspannung.

Folglich wird während einer Zeitspanne, in der der Phasenvergleich sich im Bereitschaftszustand befindet, die an den Belägen des Spannungs-Reaktanzelements anstehende Spannung im Verlauf der Zeit nicht verändert. Daher wird die Schwingungsfrequenz des spannungsgesteuerten Oszillators (VCO) während dieser Zeitspanne auf einer konstanten Frequenz gehalten.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schaltungsskizze einer Oszillatorschaltung, die in einem Sendeempfänger des TDMA/TDD-Typs gemäß der Erfindung eingesetzt wird,

Fig. 2a bis 2i Signalverläufe, welche aus Zustandsänderungen an verschiedenen Teilen der in Fig. 1 gezeigten PLL-Normalfrequenzgeneratorschaltung auftreten;

Fig. 3 ein schematisches Blockdiagramm, welches den Aufbau des TDMA/TDD-Sendeempfängers veranschaulicht;

Fig. 4 eine Schaltungsskizze zum Veranschaulichen des detaillierten Aufbaus eines Beispiels einer Oszillatorschaltung in dem in Fig. 3 gezeigten TDMA/TDD-Sendeempfänger;

Fig. 5a bis 5c Signalverläufe zum Veranschaulichen der Änderungen der Ladespannung eines Kondensators 18 und der Schwingungsfrequenz des VCO bei einem bekannten Sendeempfänger des TDMA/TDD-Typs;

Fig. 6 ein Diagramm zum Veranschaulichen der Sende- und Empfangszeitintervalle, welche einem Sendeempfänger eines schnurlosen Telefonsystems gemäß der Erfindung zugeordnet sind, wobei die Betriebs- und Bereitschaftszustände einer PLL-Schaltung dieses Sendeempfängers dargestellt sind; und

Fig. 7 ein Diagramm zum Veranschaulichen der Sende- und Empfangszeitintervalle für einen Sendeempfänger eines bekannten schnurlosen Telefonsystems, wobei zusätzlich die Betriebs- und Bereitschaftszustände einer PLL-Schaltung in diesem Sendeempfänger dargestellt sind.

Fig. 6 ist ein Diagramm zum Veranschaulichen der Sende- und Empfangszeitintervalle, welche einem Sendeempfänger gemäß dieser Ausführungsform der Erfindung zugeordnet sind, wobei aus der Darstellung auch die Betriebs- und Bereitschaftszustände einer Phasenregelschleife (PLL-Schaltung) dieses Sendeempfängers ersichtlich sind.

Wie in Fig. 6 dargestellt ist, wird im Fall des bekannten schnurlosen Telefonsystems dann, wenn der Sendeempfänger sich in einem Zeitintervall unmittelbar vor jedem der Sende- und Empfangszeitintervalle befindet, die bis dahin im Bereitschaftszustand gewesene PLL-Schaltung in einen Betriebszustand versetzt. Wenn anschließend der Sendezeitintervall kommt, wird der Zustand der PLL-Schaltung erneut umgeschaltet vom Betriebszustand in den Bereitschaftszustand. In dieser Hinsicht ist der Sendeempfänger ähnlich wie der bekannte Sendeempfänger nach Fig. 7. Im Fall dieser Ausführungsform jedoch wird, wenn der Empfangszeitintervall kommt, der Zustand der PLL-Schaltung erneut vom Betriebszustand in den Bereitschaftszustand umgeschaltet. In dieser Hinsicht unterscheidet sich diese Ausführungsform von dem bekannten Sendeempfänger gemäß Fig. 7.

Fig. 1 ist ein Schaltungsdiagramm zum Veranschaulichen des Aufbaus eines Beispiels einer Oszillatorschaltung, wie sie in dem erfindungsgemäßen Sendeempfänger des TDMA/TDD-Typs verwendet wird. Die Oszillatorschaltung bildet eine PLL-Normalfrequenzgeneratorschaltung (im folgenden auch als PLL-Normalfrequenz-generator bezeichnet).

Nach Fig. 1 sind vorgesehen: Ein PLL-IC 1 (das heißt eine als integrierte Schaltung ausgebildete Phasenregelschleife); eine Ladungspumpschaltung 2; ein Schleifenfilter 3; ein VCO (spannungsgesteuerter Oszillator) 4; ein Kristallschwinger 5, eine eine veränderliche Vorspannung liefernde Schaltung 6 (eine Vorspannungszuführeinrichtung); ein Versorgungsanschluß 7; ein Ladungspumpzuleiterschluß 8, ein PLL-Taktsignalanschluß 9; ein PLL-Strobosignalanschluß 10; ein PLL-Datensignalanschluß 11; ein Stromsparsignal-(PS-)Signal-Anschluß 12; ein Modulationssignalanschluß 13; ein Einrastdetektorsignalanschluß 14; ein HF-Signalanschluß 15; ein Hochzieh-PNP-Transistor 16; ein Absenk-NPN-Transistor 17; ein erster Kondensator 18; ein erster Widerstand 19; eine veränderliche Kapazitätsdiode 20 (das heißt ein veränderliches Spannungs-Reaktanzelement); ein Um-

Zeitspanne T_{2-3} ist die Zeitspanne zwischen den Zeitpunkten t_2 und t_3 für weitere Zeitschlitze; eine Zeitspanne T_{3-4} zwischen den Zeitpunkten t_3 und t_4 ist die Zeitspanne eines Zeitschlitzes unmittelbar vor dem Empfangszeit-schlitz. Eine Zeitspanne T_{4-5} zwischen dem Zeitpunkt t_4 und t_5 ist die Zeitspanne des Empfangszeit-schlitzes; und eine Zeitspanne T_{5-6} zwischen einem Zeitpunkt t_5 und einem weiteren (nicht dargestellten) Zeitpunkt t_6 ist die Zeitspanne weiterer Zeitschlitze mit einem Zeitschlitz direkt vor dem nächsten Sendezeit-schlitz.

Im folgenden wird die Arbeitsweise dieser Ausführungsform der Erfindung gemäß Fig. 1 anhand der Fig. 2a bis 2i erläutert.

Bei diesem PLL-Normalfrequenzgenerator wird die Funktion des Generierens oder Synthetisierens einer Frequenz in jeder Zeitspanne T_{0-1} des dem Sendezeit-schlitz gerade vorausgehenden Zeitschlitzes in einen Betriebszustand gebracht, außerdem innerhalb eines Zeitschlitzes, der unmittelbar dem Empfangszeit-schlitz vorausgeht, also in jeder Zeitspanne T_{3-4} . Der Zustand des Phasenvergleichers des PLL-IC 1 ändert sich in einen Betriebszustand. Im Gegensatz dazu wird diese Synthetisier-Funktion in einen Ruhezustand gebracht, wenn die Zeitspanne T_{1-2} des Sendezeit-schlitzes ansteht, außerdem in der Zeitspanne T_{4-5} des Empfangszeit-schlitzes sowie in den Zeitspannen T_{2-3} und T_{5-6} der übrigen Zeitschlitze. Dann ändert sich der Zustand des Vergleichers in den Bereitschaftszustand.

Bei Annäherung des Zeitpunkts t_0 und mithin der Zeitspanne T_{0-1} des dem Sendezeit-schlitz direkt vorausgehenden Zeitschlitzes wird der Signalpegel des Stromsparsignals (PS) von einem niedrigen Pegel "0", der bis dahin gehalten wurde, in einen hohen Pegel "1" geändert, wie dies in Fig. 2b gezeigt ist. Diese Änderung resultiert daraus, daß der Phasenvergleicher der PLL-Steuerschaltung des PLL-IC 1 in einen Betriebszustand gelangt. Folglich wird der Hochzieh-PNP-Transistor 16 leitend gemacht, so daß der erste Kondensator 18 des Schleifen-filters 3 aufgeladen wird. Dadurch ergibt sich für die Kathodenspannung der Kapazitätsdiode 2 des VCO 4 ein scharfer Anstieg von einer bis dahin gehaltenen Haltespannung auf eine hohe Spannung, wie dies in Fig. 2f dargestellt ist. Innerhalb kurzer Zeit wird die Kathodenspannung an eine erste Spannung angenähert, bei der es sich um eine konstante Spannung oberhalb der Haltespannung handelt. Bis zu dieser Zeit wurde der Schalttransistor 21 der die veränderliche Vorspannung liefernden Schaltung 6 gemäß Fig. 2e im AUS-Zustand gehalten. Damit wird der zweite Kondensator 22 bis zu dem Pegel der Quellenspannung V_{cc} am Versorgungsanschluß 7 über den Schutzwiderstand 24 und den zweiten Widerstand 23 aufgeladen. Außerdem wird diese Spannung als Vorspannung über die Widerstände 33 und 30 an die Anode der Kapazitätsdiode 20 gelegt. Folglich wird eine Sendefrequenz-Steuerspannung, nämlich die Differenz zwischen der ersten Spannung und einer Spannung des zweiten Kondensators 22, an die Anschlüsse der Kapazitätsdiode 20 gelegt, wie dies in Fig. 2h gezeigt ist. Außerdem schwingt der VCO 4 mit einer Frequenz, welche dieser Sendefrequenz-Steuerspannung entspricht, wie aus Fig. 2i hervorgeht. Darüber hinaus wird ein Schwingungssignal von dem Ausgangsanschluß des VCO sowohl an das PLL-IC 1 als auch an den HF-Signalanschluß 15 geliefert.

Wenn dann der Zeitpunkt t_1 kommt und die Zeitspanne T_{1-2} des Sendeschlitzes beginnt, wird der Signalpegel des Stromsparsignals (PS) von hohem Pegel "1" auf niedrigen Pegel "0" geändert, wie in Fig. 2b gezeigt. Diese Änderung resultiert darin, daß sich der Zustand des Phasenvergleichers von dem Betriebszustand in den Bereitschaftszustand ändert. Dann werden sowohl der Hochzieh-PNP-Transistor 16 als auch der Absenk-NPN-Transistor 17 in einen nicht-leitenden Zustand gebracht, so daß die Ausgangsimpedanz der Ladungspumpe 2 groß wird. Mit Beginn dieses Zustands wird der erste Kondensator 18 an einem Aufladen gehindert. Allerdings wird nur dessen Entladung aufgrund des Leckstroms erreicht. Damit sinkt die Spannung des ersten Kondensators 18 mit verstreichender Zeit langsam ab, ausgehend von der ersten hohen Spannung. Wie weiterhin in Fig. 2f gezeigt ist, fängt auch die Kathodenspannung der Kapazitätsdiode 20 an, allmählich oder nach und nach mit verstreichender Zeit geringer zu werden. Wie außerdem in Fig. 2e gezeigt ist, ändert sich entsprechend der Änderung des Zustands des Stromsparsignals (PS) der Signalpegel des Ausgangssignals des EOR-Gatters 25 zu einem hohen Pegel "1", und der Zustand des Schalttransistors 21 der die veränderliche Vorspannung liefernden Schaltung 6 ändert sich von einem bis dahin gehaltenen AUS-Zustand in einen EIN-Zustand. Zu dieser Zeit beginnt der zweite Kondensator 22 der Schaltung 6, über den zweiten Widerstand 23 und den Schalttransistor 21 allmählich entladen zu werden. Damit nimmt die Spannung am zweiten Kondensator 23 mit der Zeit allmählich ab. Wie in Fig. 2g gezeigt ist, beginnt demzufolge die Anodenspannung der Kapazitätsdiode 20, allmählich abzunehmen. Zusätzlich wird bei dieser Ausführungsform der Widerstandswert des zweiten Widerstands 23 der Schaltung 6 derart eingestellt, daß die Spannungsabnahme des zweiten Kondensators 22 in etwa der Abnahme der Kathodenspannung der Kapazitätsdiode 20 aufgrund des Leckstroms entspricht. Folglich wird gemäß Fig. 2(h) die an den Belägen der Kapazitätsdiode 20 entstehende Spannung gleich der bis dahin dort angelegten Sendefrequenz-Steuerspannung, unabhängig von Spannungsabsenkungen, die am ersten und zweiten Kondensator 18 und 22 stattfinden. Ferner wird eine solche Spannung, die an den Anschlüssen der Kapazitätsdiode 20 entsteht, während der Zeitspanne T_{1-2} des Sendeschlitzes aufrechterhalten. Als Ergebnis erzeugt der VCO 4 ein Schwingungssignal mit einer Frequenz entsprechend dessen Schwingungsfrequenz innerhalb der Zeitspanne T_{0-1} des dem Sendeschlitz direkt vorausgehenden Zeitschlitzes, wie in Fig. 2i gezeigt ist. Ferner wird dieses Schwingungssignal dauernd während der Zeitspanne T_{1-2} des Sendezeit-schlitzes gehalten.

Wenn anschließend der Zeitpunkt t_2 kommt und die Zeitspanne T_{2-3} eines weiteren Zeitschlitzes beginnt, wird das Stromsparsignal (PS) auf niedrigem Pegel "0" gehalten. Damit wird der Phasenvergleicher ebenfalls im Bereitschaftszustand gehalten. Im Gegensatz dazu wird der die Negierung des Sendesteuersignals repräsentierende Signalpegel des Inversionssignals von hohem Pegel "1" auf niedrigen Pegel "0" geändert. Darüber hinaus wird der Signalpegel des Ausgangssignals des EOR-Gatters 25 auf niedrigen Pegel "0" gebracht. Hieraus folgt, daß der Schalttransistor 21 erneut in einen Sperrzustand gebracht wird. Damit wird der zweite Kondensator 23 über den Schutzwiderstand 24 und den zweiten Widerstand 23 auf die Versorgungsspannung V_{cc} aufgeladen. Nach Verstreichen einer vorbestimmten Zeitspanne ist die Spannung des zweiten Kondensators 22 auf den Pegel der Versorgungsspannung V_{cc} angestiegen. Diese Spannung gelangt an die Anode der Kapazitätsdiode

Wie oben beschrieben, wird bei dieser Ausführungsform des TDMA/TDD-Sendeempfängers dann, wenn der Phasenvergleich der PLL-Steuerschaltung des PLL-IC 1 sich während der Zeitspanne T_{1-2} des Sendezeitschlitzes und der Zeitspanne T_{4-5} des Empfangszeitschlitzes in einem Bereitschaftszustand befindet, eine veränderliche Vorspannung an die Anode der veränderlichen Kapazitätsdiode 20 des VCO 4 gelegt, die sich in der entsprechende Richtung und in dem entsprechenden Bereich ändert wie die Änderung der Frequenzsteuer-
Spannung, welche der Kathode der Kapazitätsdiode zugeführt wird. Damit wird die sich an den Anschlüssen der veränderlichen Kapazitätsdiode 20 einstellende Spannung während der genannten Zeit spannen auf einem konstanten Pegel gehalten. Hieraus folgt, daß die Frequenzgenauigkeit, wie sie für den Sendempfang des TDMA-Typs gefordert wird, in ausreichendem Maß gewährleistet werden kann.

Wie oben erläutert, wird im Fall des erfindungsgemäßen TDMA/TDD-Sendeempfängers die PLL-Schaltung nur in der Zeitspanne eines Zeitschlitzes in einen Betriebszustand gebracht, die jedem Sende- und jedem Empfangs-Zeitschlitz unmittelbar vorausgeht. In der Zeitspanne des Empfangszeitschlitzes wird die PLL-Schaltung nicht in einen Betriebszustand, sondern in einen Bereitschaftszustand gebracht.

Damit wird durch die vorliegende Erfindung erreicht, daß in der Zeitspanne des Empfangszeitschlitzes, in der die PLL-Schaltung sich im Bereitschaftszustand befindet, keine Energie verbraucht wird. Es ergibt sich also der Vorteil, daß der Energieverbrauch der PLL-Schaltung reduziert ist und damit ein stromsparender Sendempfang gebaut werden kann.

Aufgrund des erfindungsgemäßen Aspekts, wonach die PLL-Schaltung während der Zeitspanne des Empfangszeitschlitzes in einen Bereitschaftszustand gebracht wird, wird erreicht, daß die Leckkomponente des Referenz-Frequenzsignals daran gehindert werden kann, an den VCO 4 zu gelangen, und daß verhindert werden kann, daß von dem VCO 4 Referenz-Streusignale erzeugt werden.

Wenn bei dem erfindungsgemäßen Sendempfang die PLL-Schaltung der Oszillatorschaltung sich im Bereitschaftszustand befindet, oder wenn sich der Phasenvergleich im Bereitschaftszustand befindet, wird die sich ändernde Vorspannung, welche sich annähernd in der gleichen Weise ändert wie die Steuerspannung (das heißt die Ladespannung des Kondensators 18 des Schleifenfilters 3), die an eine Elektrode des veränderlichen Spannungs-Reaktanzelements 20 des VCO 4 gelegt wird, an die andere Elektrode des Reaktanzelements 20 gelegt, wozu die eine veränderliche Vorspannung liefernde Schaltung 6 verwendet wird. Wenn somit die der einen der Elektroden des Reaktanzelements 20 zugeführte Steuerspannung sich im Laufe der Zeit aufgrund des Leckstroms allmählich ändert, so ändert sich auch die der anderen Elektrode des Reaktanzelements zugeführte Vorspannung zeitlich allmählich in der gleichen Richtung und im gleichen Bereich, in der bzw. in dem sich die Steuerspannung ändert.

Hieraus folgt, daß die sich an den Anschlüssen des Spannungs-Reaktanzelements 20 einstellende Spannung im Verlauf der Zeit nicht geändert wird. Das heißt, die Erfindung hat den Vorteil, daß die Schwingungsfrequenz des VCO 4 während einer Zeitspanne konstant gehalten wird, in der der Phasenvergleich sich im Bereitschaftszustand befindet, und die für den TDMA-Sendeempfänger geforderte Frequenzgenauigkeit in ausreichendem Maße gewährleistet wird.

Abwandlungen der oben beschriebenen Ausführungsformen sind selbstverständlich möglich.

Bei dem oben beschriebenen Ausführungsbeispiel wird als veränderliches Spannungs-Reaktanzelement eine einzelne Kapazitätsdiode 20 verwendet. Statt dessen kann auch eine Kombination aus mehreren veränderlichen Kapazitätsdioden eingesetzt werden, ebenso die Kombination aus einer Kapazitätsdiode und einem weiteren Element. In Frage kommt auch ein ähnliches Element wie eine veränderliche Kapazitätsdiode als veränderliches Spannungs-Reaktanzelement.

Das Schleifenfilter 3, der VCO 4 und die eine veränderliche Vorspannung liefernde Schaltung 6 gemäß der Erfindung sind nicht auf die speziellen Ausgestaltungen gemäß der oben beschriebenen Ausführungsform beschränkt. Diese Elemente sowie deren Bestandteile können im Rahmen ihrer üblichen Funktionsweise modifiziert werden.

Das hier verwendete PLL-IC 1 kann auch durch eine andere Schaltung ersetzt werden.

Patentansprüche

1. TDMA/TDD-Sendeempfänger, mit einer Phasenregelschleife, welche mindestens einen spannungsgesteuerten Oszillator (VCO 4) und ein Schleifenfilter (3) aufweist, von denen der spannungsgesteuerte Oszillator (4) bei Sendebetrieb als Trägeroszillator und bei Empfangsbetrieb als Empfangsoszillator dient, wobei die Phasenregelschleife eine Schwingungsfrequenz des spannungsgesteuerten Oszillators (4) regelt, die Phasenregelschleife während einer Zeitspanne eines Zeitschlitzes unmittelbar vor einem Sendezeitschlitz und während einer Zeitspanne eines Zeitschlitzes unmittelbar vor einem Empfangszeitschlitz geschlossen ist, die Phasenregelschleife während Zeitspannen von Sende- und Empfangszeitschlitz geöffnet ist, und, wenn die Schleife geöffnet ist, die Schwingungsfrequenz des spannungsgesteuerten Oszillators (4) nach Maßgabe einer Ladespannung des Schleifenfilters (3) geregelt wird.

2. Sendempfang nach Anspruch 1, bei dem die Phasenregelschleife eine Phasenregelschleife mit kurzer Einrastzeit ist.

3. TDMA/TDD-Sendeempfänger, umfassend:

einen spannungsgesteuerten Oszillator (VCO 4), mit einem veränderlichen Spannungs-Reaktanzelement (20), um eine Änderung einer Ausgangsfrequenz des Oszillators entsprechend einer Steuerspannung zu erreichen, die einer der Elektroden des veränderlichen Spannungs-Reaktanzelements (20) zugeführt wird; einen Phasenvergleich (1) zum Vergleichen eines Referenz-Frequenzsignals mit einem Ausgangsfrequenzsignal des spannungsgesteuerten Oszillators (VCO 4), und zum Erzeugen von Fehlersignalen; einer Zustandsumschalteneinrichtung zum Ändern eines Zustands des Phasenvergleichers zwischen dem

FIG. 1

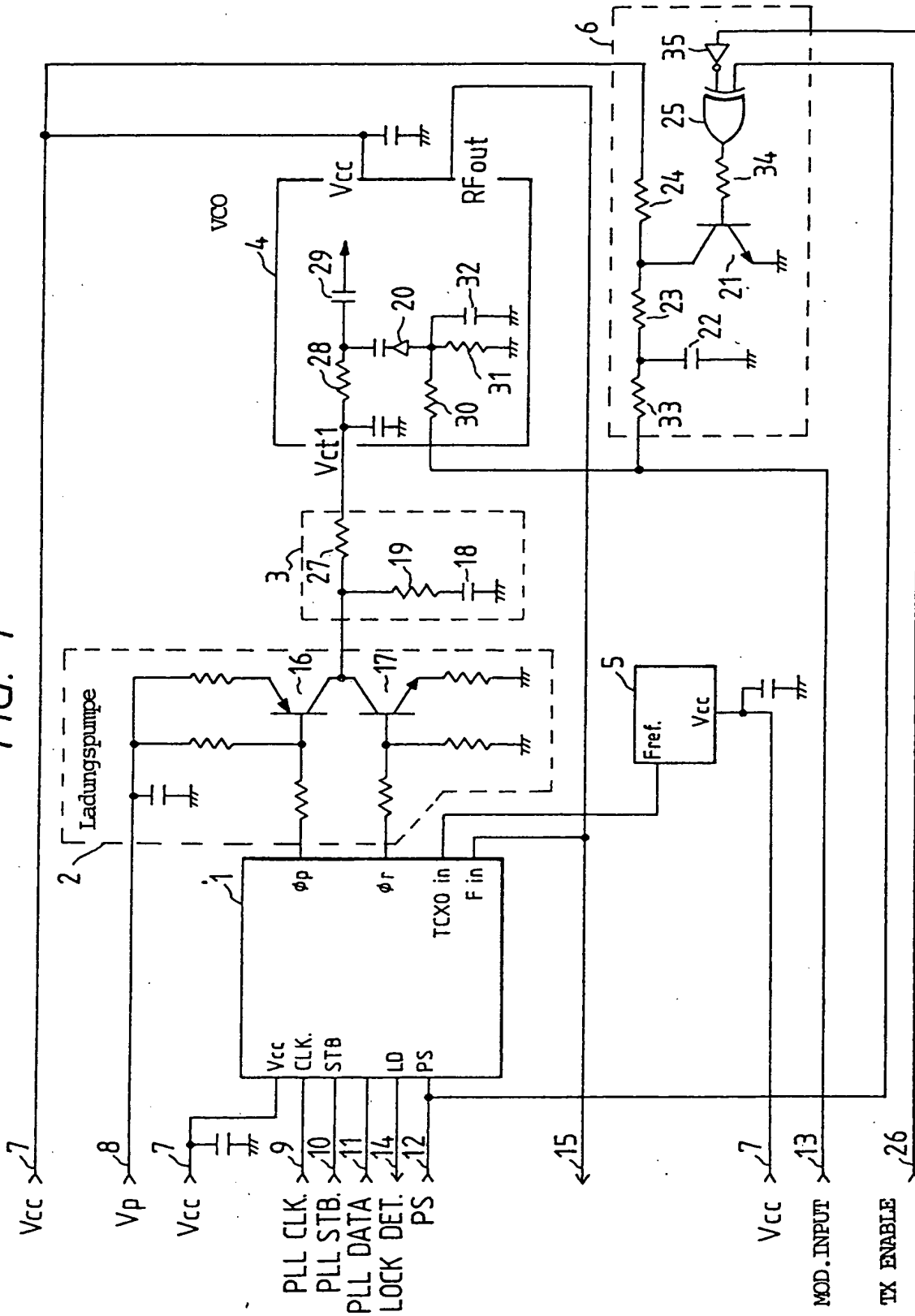


FIG. 2

- (a) Sende- und Empfangsschlitze
- (b) Stromsparsignal
- (c) Sendesteuer-Signal (TX ENABLE)
- (d) TX ENABLE
- (e) Betriebszustand des Schalttransistors
- (f) Ladespannung (Kathodenspannung der Kapazitätsdiode)
- (g) Anodenspannung der Kapazitätsdiode
- (h) An den Anschlüssen der Kapazitätsdiode entwickelte Spannung
- (i) Änderung der Schwingungsfrequenz VCO

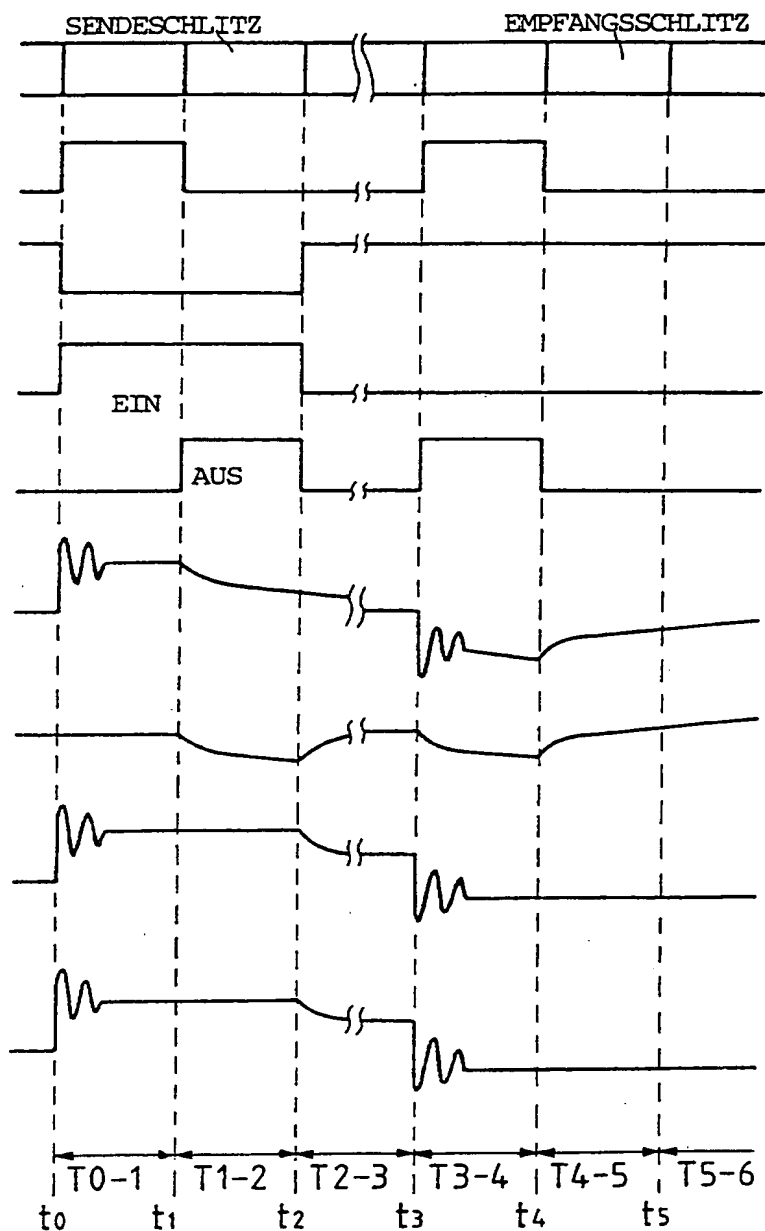


FIG. 3

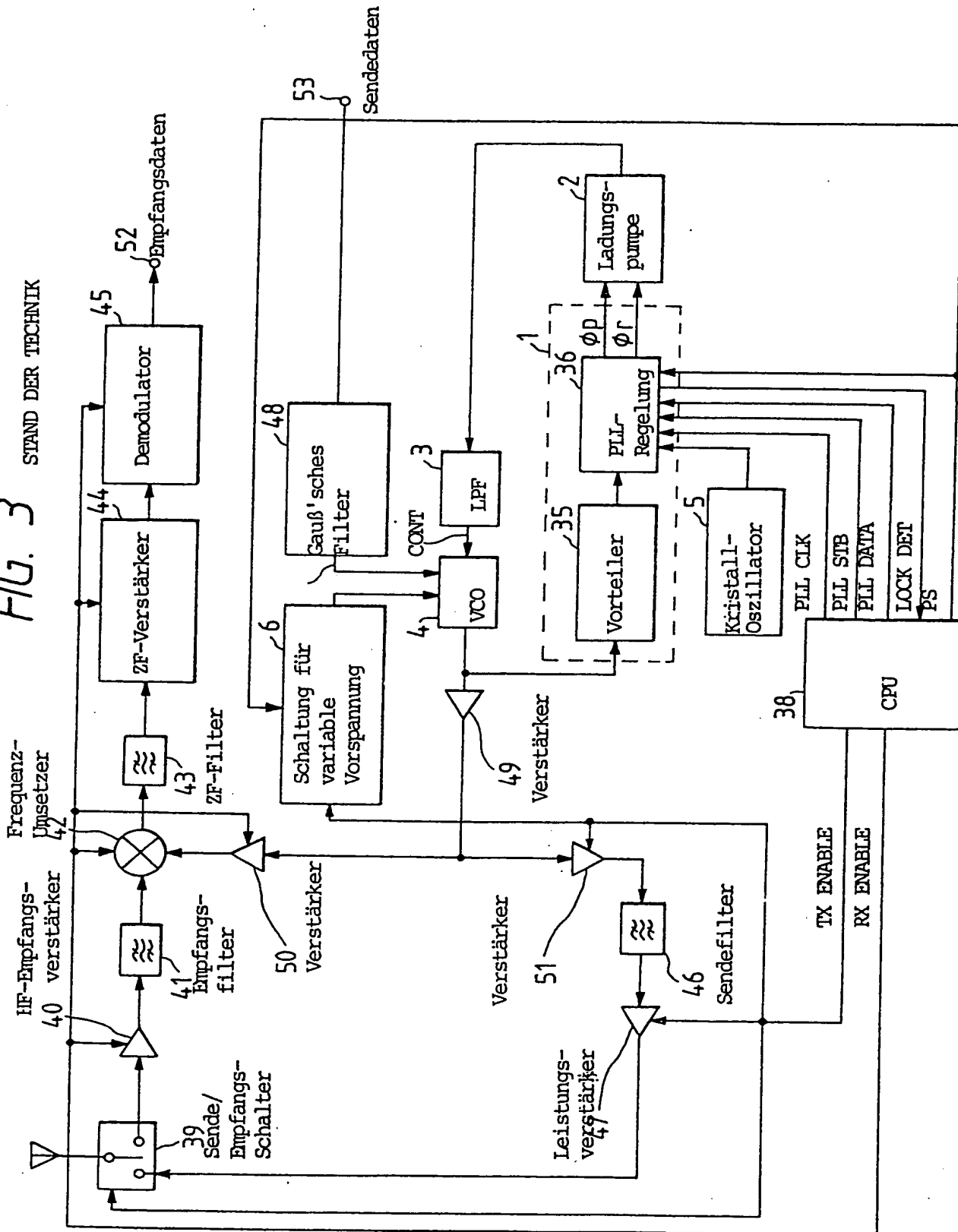


FIG. 5

STAND DER TECHNIK

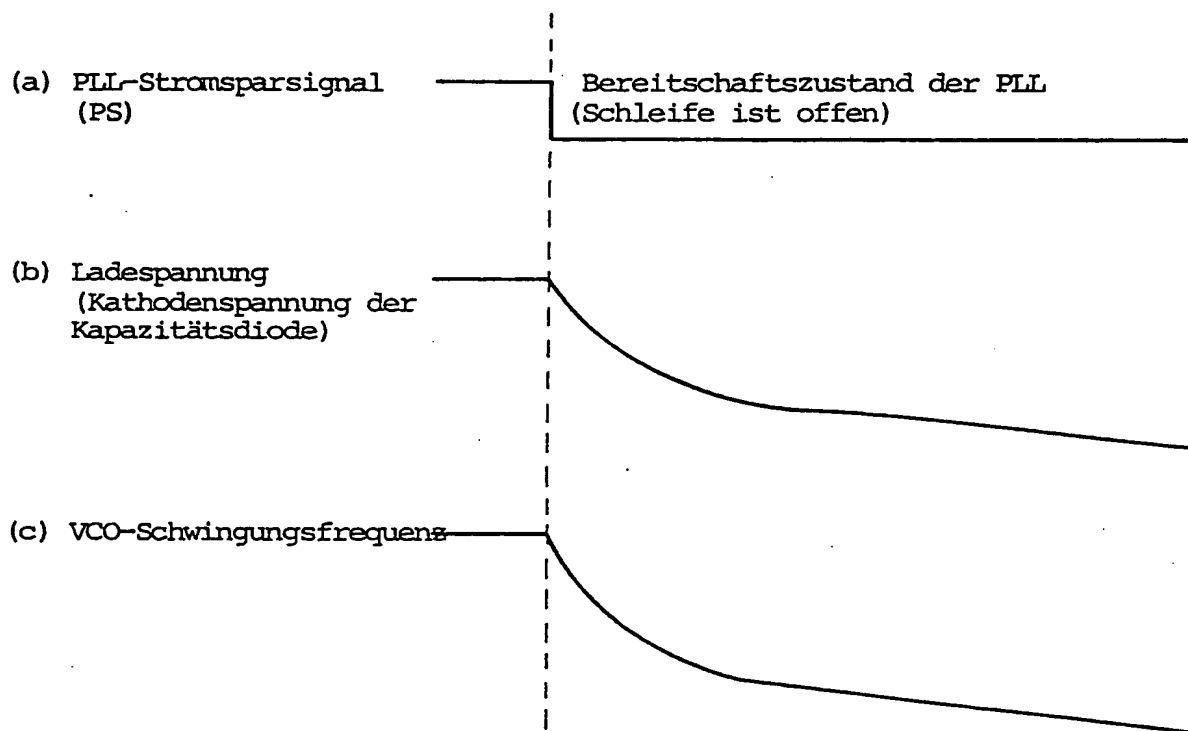


FIG. 6

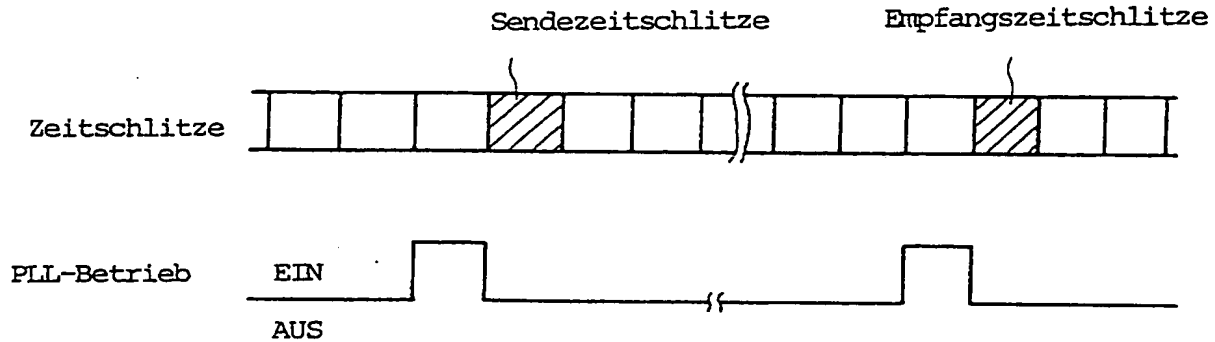
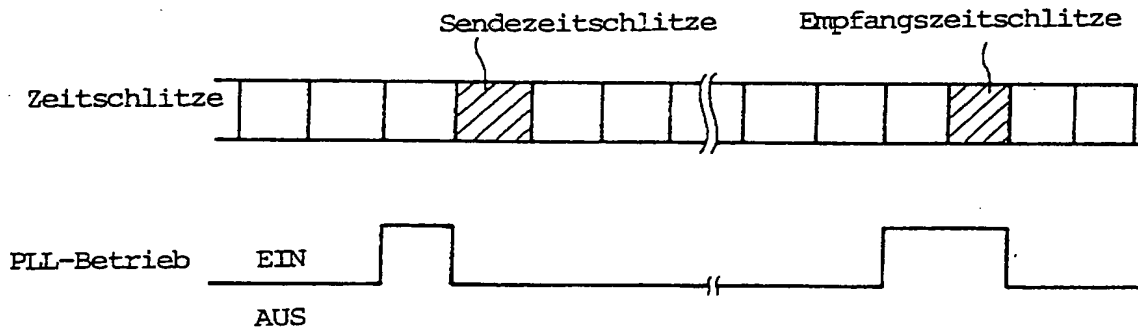


FIG. 7

STAND DER TECHNIK



TDMA transceiver with PLL

Patent number: DE19502111
Publication date: 1995-08-03
Inventor: HIROSE YOSHITAKA (JP)
Applicant: ALPS ELECTRIC CO LTD (JP)
Classification:
- International: H04B1/40; H04B7/212; H03L7/089; H03L7/06
- european: H03L7/099; H03L7/14; H04B1/40C6
Application number: DE19951002111 19950124
Priority number(s): JP19940006482 19940125; JP19940006483 19940125

Abstract of DE19502111

The TDMA/TDD transceiver contains a voltage controlled oscillator (VCO4) and a loop filter (3) where the VCL (4) operates as carrier oscillator in transmit mode, and as receive oscillator in receive mode. The phase control loop is closed for an interval immediately before a transmit or receive time slot and open during these time slots. When the PLL is open, the oscillator frequency is controlled according to the measure of the loop filter (3) charge voltage.

